

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-095071

(43)Date of publication of application : 08.04.1994

(51)Int.Cl.

G02F 1/133

G09G 3/36

(21)Application number : 04-240577

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.09.1992

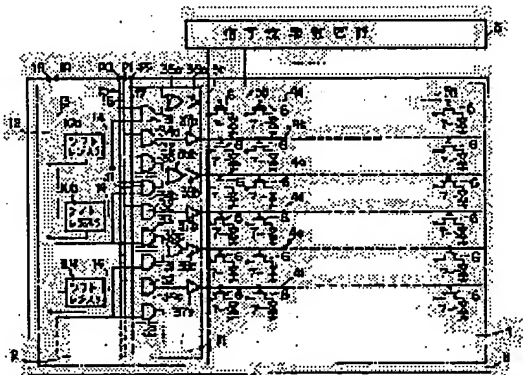
(72)Inventor : MASUDA YOICHI

## (54) LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To perform various kinds of drive such as an interlace drive, a two lines simultaneous drive, a successive drive, by a single liquid crystal display device.

**CONSTITUTION:** This device is constituted so that circuits excepting liquid crystal pixels 7... on a display panel and a scanning line drive circuit 2 are integrated on the same substrate 8 where one side electrodes of the liquid crystal pixels 7... are formed, and the output of the scanning line drive circuit 2 is controlled to switch the interlace drive, the two lines simultaneous drive, the successive scan drive by control signals through three pieces of a first, a second, a third control lines 15, 16, 17.



## LEGAL STATUS

[Date of request for examination]

21.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3202345

[Date of registration]

22.06.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

[Claim(s)]

[Claim 1] In the liquid crystal display equipped with the pixel electrode of the n scanning lines which is alike, respectively and is arranged in the shape of two-dimensional through a switching device, and the scanning-line drive circuit which controls ON/OFF of the switching device connected to each above-mentioned scanning line on the same substrate. The shift register with which the above-mentioned scanning-line drive circuit carries out the sequential transfer of the scan signal, The liquid crystal display characterized by switching the selection sequence of each above-mentioned scanning line by the control signal which is equipped with the logical circuit group by which one terminal is connected to the output of the above-mentioned shift register, and an other-end child is connected to the control line, and is supplied to the above-mentioned control line.

[Claim 2] The 1st selection sequence which makes sequential selection of the above-mentioned scanning line of an every other from the 2nd above-mentioned scanning line after making sequential selection of the above-mentioned scanning line of an every other from the 1st above-mentioned scanning line, The 2nd selection sequence which makes sequential selection of the above-mentioned scanning line of an every other with the adjoining scanning line from the 2nd above-mentioned scanning line after making sequential selection of the above-mentioned scanning line of an every other with the adjoining scanning line from the 1st above-mentioned scanning line, The liquid crystal display according to claim 1 characterized by switching the 3rd selection sequence which makes sequential selection from the 1st above-mentioned scanning line to the n-th above-mentioned scanning line by the control signal supplied to the control line.

[Claim 3] m steps of shift registers with which the above-mentioned scanning-line drive circuit carries out the sequential transfer of the scan signal, The 3m piece logical circuit group which made the lot three logical circuits where a terminal is connected to the output of the shift register of each stage in common, every in three logical circuits connected to the shift register of each stage, respectively — with the 1st control line connected common to the other-end child of the 1st logical circuit group every in three logical circuits connected to the shift register of each stage, respectively — with the 2nd control line connected common to the other-end child of the 2nd logical circuit group every in three logical circuits connected to the shift register of each stage, respectively — with the 3rd control line connected common to the other-end child of the 3rd logical circuit group. The liquid crystal display according to claim 1 characterized by having the 4th logical circuit which considered the output of the 1st logical circuit and the 3rd logical circuit which are connected to a \*\*\*\*\* shift register as the input.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the liquid crystal display used for television or a display.

[0002]

[Description of the Prior Art] In the present television broadcasting or Hi-Vision test broadcast, in 1/30 seconds, the scan signal of No. odd, i.e., the signal of the odd number field, is first sent one by one among 525 or 1125 scan signals, and then the scan signal of No. even, i.e., the signal of the even number field, is sent one by one.

[0003] For this reason, the easiest drive approach that displays images, such as television broadcasting, on a liquid crystal display is an interlace drive which uses the signal sent as it is, carries out the sequential drive of the pixel train of No. odd from on a screen, and then carries out the sequential drive of the pixel train of No. even. However, by such drive approach, since an image is displayed in a cycle of 1/30 second when an image is displayed, a flicker of a screen may occur.

[0004] Then, various kinds of methods which display an image in a cycle of 1/60 second are examined using the digital-signal-processing technique etc. In this case, the approach the drive approach of a liquid crystal display carries out the sequential drive of the pixel train is used in many cases. Moreover, when driving the following pixel train of No. even by the same signal to coincidence as a middle method of an interlace drive and a sequential drive when driving the pixel train of No. odd by interlace drive, and driving the pixel train of No. even, the method which drives the following pixel train of No. odd by the same signal to coincidence is examined.

[0005] When this two-line coincidence drive is used, compared with a sequential drive, resolution is inferior, but since an image is seemingly displayed in a cycle of 1/60 second, a flicker of a screen can be suppressed compared with an interlace drive.

[0006] By the way, as for the liquid crystal display used for the view finder for small liquid crystal television and projection mold television, a projection mold display, and video cameras etc., a miniaturization, high-definition-izing, and low-pricing are demanded more. Then, the method of integrating a drive circuit in the shape of [ as a liquid crystal display / same ] a substrate is devised.

[0007] Drive circuits are the so-called signal-line drive circuit which supplies a picture signal to each liquid crystal pixel through between the drain of a thin film transistor - the source, and the so-called scanning-line drive circuit which carries out the sequential drive of the gate of this thin film transistor of a predetermined train. An electrical potential difference is impressed to the gate of the thin film transistor of a predetermined train by this scanning-line drive circuit, between a drain - the source flows, and the picture signal supplied from this signal-line drive circuit is written in each liquid crystal pixel of a predetermined train. By performing this actuation one by one to each train, a predetermined signal is written in all liquid crystal pixels, and an image is displayed.

[0008] Therefore, when a drive circuit is integrated on the same substrate as a liquid crystal display, a drive method will be decided by the configuration of a drive circuit. That is, since a scanning-line drive circuit drives the gate of the thin film transistor of each train toward a top from under the bottom from a display screen, drive methods, such as an interlace drive, are usually determined by the scanning-line drive circuit.

[0009] For this reason, in the liquid crystal display by which the drive circuit was integrated, a drive method will be determined as one method and was not able to be used with other equipments from which a drive method differs. An expensive photograph mask and many process activities were required for manufacture of a liquid crystal display, and it was very uneconomical to have manufactured the liquid crystal display of varieties according to each equipment.

[0010]

[Problem(s) to be Solved by the Invention] This invention tends to solve the problem that a drive method will be fixed to one, in the liquid crystal display by which the drive circuit was integrated.

[0011] Since the output of a scanning-line drive circuit is controllable by the control signal supplied to the control line according to this invention, the liquid crystal display whose number is one can perform various kinds of drives, such as an interlace drive, a two-line coincidence drive, and a sequential drive. Especially according to this invention, a two-line coincidence drive can be performed easily and the flicker in a display etc. can fully be reduced. Moreover, according to this invention, it also becomes possible to reduce the number of stages of a shift register compared with the number of the scanning line. Thereby, even if the number of scanning lines increases, it can be driven with the shift register of low-speed actuation as usual.

[0012]

[Means for Solving the Problem] the liquid crystal display of this invention with the pixel electrode of the n scanning lines which is alike, respectively and is arranged in the shape of two-dimensional through a switching device In what was equipped with the scanning-line drive circuit which controls ON/OFF of the switching device connected to each above-mentioned scanning line on the same substrate The shift register with which the above-mentioned scanning-line drive circuit carries out the sequential transfer of the scan signal, and one

terminal are connected to the output of the above-mentioned shift register. It has the logical circuit group by which an other-end child is connected to the control line, and considers as the configuration to which the selection sequence of each above-mentioned scanning line is switched by the control signal supplied to the above-mentioned control line.

[0013]

[Function] This invention enables it to control the output of the scanning-line drive circuit integrated on the same substrate as a liquid crystal pixel by the control signal.

[0014]

[Example] Hereafter, it explains, referring to a drawing about one example of this invention. Drawing 1 is the circuitry Fig. of the liquid crystal display of this invention. That is, the liquid crystal display is constituted by the display panel 1, the scanning-line drive circuit 2, and the signal-line drive circuit 3 of a active-matrix form.

[0015] A display panel 1 is formed so that signal-line 5a and — may intersect scanning-line 4a and —, and the liquid crystal pixel (pixel electrode) 7 and — are prepared in the intersection through a thin film transistor (switching device) 6 and —, respectively.

[0016] That is, the liquid crystal pixel 7 and the end of — are grounded, respectively, and the liquid crystal pixel 7 and the other end of — are connected to signal-line 5a and — through between a thin film transistor 6, the drain of — - the source, respectively. A thin film transistor 6 and the gate of — are connected to scanning-line 4a and —. The \*\*\*\*\* two-dimensional predetermined display screen in every direction is constituted for the above-mentioned liquid crystal pixel 7 and —.

[0017] In addition, in each liquid crystal pixel 7 of a lengthwise direction, and —, one of signal-line 5a and — is shared, and one of scanning-line 4a and — is shared in each lateral liquid crystal pixel 7 and —. thereby, signal-line 5a and — are the same as the lateral number of pixels — it is number-arranged and scanning-line 4a and — are the same as the number of pixels of a lengthwise direction — it is number-arranged. As for signal-line 5a and —, a predetermined electrical potential difference is impressed by the signal-line drive circuit 3, and scanning-line 4a and — are driven from the scanning-line drive circuit 2. The liquid crystal pixel 7, and the circuit and the scanning-line drive circuit 2 except — of the above-mentioned display panel 1 are integrated on the liquid crystal pixel 7 and the same substrate 8 of — with which one electrode is formed.

[0018] The above-mentioned scanning-line drive circuit 2 is constituted by two or more steps (m steps) of shift registers 10a and 10b, —, the logical circuit group 11, signal lines 12, 13, and 14, — and the three control lines, the 1st, the 2nd, and the 3rd, 15, 16, and 17. Above-mentioned shift register 10a and — are m steps of shift registers which carry out the sequential transfer of the scan signal.

[0019] Shift register 10a and — delay the shift pulse inputted according to the period of a clock pulse, and are outputted. Therefore, the sequential transfer of the shift pulse is carried out from upper shift register 10a and — to lower shift register 10b and —.

[0020] The above-mentioned signal line 12 is a signal line for clock pulses, and has connected the clock pulse input terminal 18, and above-mentioned shift register 10a and the clock pulse input edge of —. The above-mentioned signal line 13 is a signal line for the shift pulses as a start pulse, and has connected the start pulse input terminal 19 and the input edge of the above-mentioned shift register 10a. The above-mentioned signal line 14 and — connected above-mentioned shift register 10a, above-mentioned shift register 10b of an outgoing end and the lower berth of —, and the input edge of —, and have connected above-mentioned shift register 10a, and the outgoing end and the logical circuit group 11 of —. The 1st, 2nd, and 3rd control line 15, 16, and 17 of the above is a signal line for control signals, and is connected to the control signal input terminals 20, 21, and 22, respectively.

[0021] 3m piece logical circuit group 34a to which the above-mentioned logical circuit group 11 made the lot shift register 10a of each stage, and three AND gates (the 1st, 2nd, and 3rd logical circuit) 31, 32, and 33 of — to which one input edge is connected in common at an output, 34b, —, \*\*\*\*\* shift register 10a, OR gate (4th logical circuit) 35a which considered the output of the 1st AND gate 31 and 3rd AND gate 33 which are connected to — as the input. It consists of —, OR gate 35a, buffer gate 36a of — which supplies an output to scanning-line 4a by low impedance, — and AND gate 32 and buffer gate which supplies output to scanning-line 4b by low impedance 37 of — a, and —.

[0022] every in three AND gates 31 and 32 connected to shift register 10a of each stage, and —, respectively, and 33 — the 1st control line 15 of the above is connected to the 1st AND gate group 31 and the input edge of another side of — in common. every in three AND gates 31 and 32 connected to shift register 10a of each stage, and —, respectively, and 33 — the 2nd control line 16 of the above is connected to the 2nd AND gate group 32

and the input edge of another side of — in common. every in three AND gates 31 and 32 connected to shift register 10a of each stage, and —, respectively, and 33 — the 3rd control line 17 of the above is connected to the 3rd AND gate group 33 and the input edge of another side of — in common.

[0023] The output of the buffer gate 36 corresponding to logical circuit group 34a It is outputted to scanning-line 4a in the above-mentioned display panel 1, and the output of the buffer gate 37 corresponding to logical circuit group 34a It is outputted to scanning-line 4b in the above-mentioned display panel 1, and the output of the buffer gate 36 corresponding to logical circuit group 34b It is outputted to scanning-line 4c in the above-mentioned display panel 1, and the output of the buffer gate 37 corresponding to logical circuit group 34b It is outputted to 4d of scanning lines in the above-mentioned display panel 1, and the output of the buffer gate 36 corresponding to logical circuit group 34c It is outputted to scanning-line 4e in the above-mentioned display panel 1, and the output of the buffer gate 37 corresponding to logical circuit group 34c is outputted to 4f of scanning lines in the above-mentioned display panel 1.

[0024] The above-mentioned logical circuit group 11 is a thing of each scanning-line 4a and — to which selection sequence is switched by the control signal supplied by the 1st, 2nd, and 3rd control line 15, 16, and 17 of the above.

[0025] Namely, the interlace drive as 1st selection sequence which makes sequential selection of the scanning lines 4d and 4f of an every other, and — from 2nd scanning-line 4b after making sequential selection of scanning-line 4c of an every other, and 4e— from 1st scanning-line 4a, Scanning-line 4b which adjoins the scanning lines 4a and 4c of an every other, and — from 1st scanning-line 4a, The two-line coincidence drive as 2nd selection sequence which makes sequential selection from 2nd scanning-line 4b with the scanning lines 4b and 4d for every other, the scanning lines 4c and 4e which adjoin —, and — after making sequential selection with 4d and —, The sequential-scanning drive as 3rd selection sequence which makes sequential selection of every one scanning line is switched to order by the control signal supplied from 1st scanning-line 4a. Next, in the above configurations, the actuation in the case of performing an interlace drive is explained using the timing chart of operation shown in (a) - (i) of drawing 2.

[0026] The control signal to which the clock pulse to which (a) of drawing 2 is supplied with a signal line 12, the shift pulse by which (b) is supplied to shift register 10a and —, (c), (d), and (e) are supplied by the control lines 15, 16, and 17, (f), (g), (h), and (i) show the wave of four scanning lines [ 4a, 4b, 4c, and 4d ] duties.

[0027] At the time of the odd number field, "1" is supplied to the control line 15, the signal of "0" is supplied to the control line 16, at the time of the even number field, "0" is supplied to the control line 15 and the signal of "1" is supplied to the control line 16. The signal of "0" is always supplied to the control line 17.

[0028] Thereby, at the time of the odd number field, the shift pulse outputted from shift register 10a is first transmitted to scanning-line 4a through AND gate 31 in logical circuit group 34a, OR gate 35a, and buffer gate 36a.

[0029] Next, the shift pulse outputted from shift register 10b is transmitted to scanning-line 4c through AND gate 31 in logical circuit group 34b, OR gate 35b, and buffer gate 36b.

[0030] Next, the shift pulse outputted from shift register 10c is transmitted to scanning-line 4e through AND gate 31 in logical circuit group 34c, OR gate 35c, and buffer gate 36c. Henceforth, shift register 10d and the shift pulse from — are transmitted to the odd-numbered scanning lines 4g and 4i and — one by one. Consequently, the sequential drive of the odd-numbered scanning lines 4a, 4c, and 4e and — is carried out from a top to the bottom.

[0031] At the time of the even number field, the shift pulse outputted from shift register 10a is transmitted to scanning-line 4b through AND gate 32 in logical circuit group 34a, and buffer gate 37a.

[0032] Next, the shift pulse outputted from shift register 10b is transmitted to 4d of scanning lines through AND gate 32 in logical circuit group 34b, and buffer gate 37b.

[0033] Next, the shift pulse outputted from shift register 10c is transmitted to 4f of scanning lines through AND gate 32 in logical circuit group 34c, and buffer gate 37c. Henceforth, shift register 10d and the shift pulse from — are transmitted to the even-numbered scanning lines 4h and 4j and — one by one. Consequently, the sequential drive of the even-numbered scanning lines 4b, 4d, and 4f and — is carried out from a top to the bottom.

[0034] If a thin film transistor 6 and an electrical potential difference of — through which between a drain - the source flows are impressed to the gate by the scanning-line drive circuit 2, between all the thin film transistors 6 connected to scanning-line 4a and —, the drain of — - the source will flow, and a predetermined electrical potential difference will be written in the liquid crystal pixel 7 and — from each signal-line 5a and — by it. By carrying out the sequential interlace drive of the even-numbered scanning lines 4b, 4d, and 4f and — with the odd-numbered scanning lines 4a, 4c, and 4e and —, an electrical potential difference predetermined to all the

liquid crystal pixels 7 and — is impressed in the 2 fields of the odd number field and the even number field, and an image is displayed. Next, in the configuration of drawing 1, the actuation in the case of performing a two-line coincidence drive is explained using the timing chart of operation shown in (a) – (i) of drawing 3.

[0035] The control signal with which the clock pulse to which (a) of drawing 3 is supplied with a signal line 12, the shift pulse by which (b) is supplied to shift register 10a and —, (c), (d), and (e) are supplied to the control lines 15, 16, and 17, (f), (g), (h), and (i) show the wave of four scanning lines [ 4a, 4b, 4c, and 4d ] duties.

[0036] At the time of the odd number field, "1" is supplied to the control line 15, the signal of "0" is supplied to the control line 17, at the time of the even number field, "0" is supplied to the control line 15 and the signal of "1" is supplied to the control line 12. The signal of "1" is always supplied to the control line 16.

[0037] Thereby, at the time of the odd number field, first, the shift pulse outputted from shift register 10a is transmitted also to scanning-line 4b through AND gate 32 in logical circuit group 34a, and buffer gate 37a while it is transmitted to scanning-line 4a through AND gate 31 in logical circuit group 34a, OR gate 35a, and buffer gate 36a.

[0038] Next, the shift pulse outputted from shift register 10b is transmitted also to 4d of scanning lines through AND gate 32 in logical circuit group 34b, and buffer gate 37b while it is transmitted to scanning-line 4c through AND gate 31 in logical circuit group 34b, OR gate 35b, and buffer gate 36b. Henceforth, shift register 10c and the shift pulse from — are transmitted one by one to every two scanning line (the oddth and the eventh) 4c and 4d, scanning line 4e and 4f, and —. Consequently, the sequential drive of odd-numbered scanning-line 4a (4c, —) and its following even-numbered scanning-line 4b (4d, —) is carried out from a top to the bottom at coincidence.

[0039] At the time of the even number field, first, the shift pulse outputted from shift register 10a is transmitted also to scanning-line 4c through AND gate 33 in logical circuit group 34a, OR gate 35b, and buffer gate 36b while it is transmitted to scanning-line 4b through AND gate 32 in logical circuit group 34a, and buffer gate 37a.

[0040] Next, the shift pulse outputted from shift register 10b is transmitted also to scanning-line 4e through AND gate 33 in logical circuit group 34b, OR gate 35c, and buffer gate 36c while it is transmitted to 4d of scanning lines through AND gate 32 in logical circuit group 34b, and buffer gate 37b.

[0041] Next, the shift pulse outputted from shift register 10c is transmitted also to 4g of scanning lines through AND gate [ in logical circuit group 34c ] 33, and OR gate 35d, and buffer gate 36d while it is transmitted to 4f of scanning lines through AND gate 32 in logical circuit group 34c, and buffer gate 37c. Consequently, the sequential drive of even-numbered scanning-line 4b (4d, —) and its following odd-numbered scanning-line 4c (4e, —) is carried out from a top to the bottom at coincidence.

[0042] When the oddth and even-numbered scanning line drives two lines at a time to coincidence, a predetermined electrical potential difference is impressed to all the liquid crystal pixels 7 and — for every field, and an image is displayed. Next, in the configuration of drawing 1, the actuation in the case of performing a

sequential-scanning drive is explained using the timing chart of operation shown in (a) – (i) of drawing 4.

[0043] The control signal with which the clock pulse to which (a) of drawing 4 is supplied with a signal line 12, the shift pulse by which (b) is supplied to shift register 10a and —, (c), (d), and (e) are supplied to the control lines 15, 16, and 17, (f), (g), (h), and (i) show the wave of four scanning lines [ 4a, 4b, 4c, and 4d ] duties.

[0044] The clock pulse of the same period as the pulse width of a shift pulse which synchronized with the shift pulse is supplied to the control line 15, and the clock pulse supplied to the control line 15 and the clock pulse of opposition are supplied to the control line 16. The signal of "0" is always supplied to the control line 17.

[0045] The shift pulse outputted from shift register 10a by this When the clock pulse supplied to the control line 15 is "1" When the clock pulse which is transmitted to scanning-line 4a through AND gate 32 in logical circuit group 34a and buffer gate 37a, and is supplied to the control line 15 is "0" That is, when the clock pulse supplied to the control line 16 is "1", it is transmitted to scanning-line 4b through AND gate 32 in logical circuit group 34a, and buffer gate 37a.

[0046] Next, the shift pulse outputted from shift register 10b When the clock pulse supplied to the control line 15 is "1" When the clock pulse which is transmitted to scanning-line 4c through AND gate 31 in logical circuit group 34b, OR gate 35b, and buffer gate 36b, and is supplied to the control line 15 is "0" That is, when the clock pulse supplied to the control line 16 is "1", it is transmitted to 4d of scanning lines through AND gate 32 in logical circuit group 34b, and buffer gate 37b. Henceforth, shift register 10c and the shift pulse from — are transmitted to the scanning lines 4e and 4f and — one by one. Consequently, the sequential drive of the scanning lines 4a, 4b, and 4c and — is carried out from a top to the bottom. By carrying out the sequential drive of the scanning lines 4a, 4b, and 4c and —, a predetermined electrical potential difference is impressed to all the liquid crystal pixels 7 and —, and an image is displayed. As described above, the scanning line 4 and the drive method of — are

switched with the control signal supplied to the control lines 15, 16, and 17. Thereby, one liquid crystal display can perform various kinds of drives, such as an interlace drive, a two-line coincidence drive, and a sequential drive. This invention is not limited to the example of drawing 1. Drawing 5 is the circuitry Fig. showing other examples of this invention.

[0047] In the example of drawing 5, OR gates 40a, 40b, and 40c and — are added in between, respectively, and the input edge in the direction of [ which is not connected to AND gate 32 ] logical circuit group 34a of the example of drawing 1, AND gate 32 in — and buffer gate 37a, and — is grounded.

[0048] If delay occurs in OR gate 35a (35b, —) in the case of the example of drawing 1, the timing of the signal impressed to the oddth and even-numbered scanning line will shift, but if delay of OR gate 35a (35b, —) and OR gate 40a (40b, —) is the same in the case of the example of drawing 5, the timing of a signal will not shift. Other actuation is the same as the example of drawing 1. Therefore, according to the example of drawing 5, the scanning line 4 and the drive method of — can be switched with the control signal supplied to the control lines 15, 16, and 17.

[0049] Drawing 6 is the circuitry Fig. showing other examples of this invention. The example of drawing 6 inputs "1" into NAND gate 41, —, 42, —, 43, —, the input that transposes to 44, —, 45, and — and is not connected to NAND gate 42 of NAND gate 45 for AND gates 31, 32, and 33 in logical circuit group 34a of the example of drawing 5, and —, and OR gates 35a, —, 40a and —. Since it is logically the same also as such a configuration, the circuit of drawing 6 carries out the same actuation as the circuit of drawing 5.

[0050] Therefore, the scanning line 4 and the drive method of — can also be switched also according to the example of drawing 6 with the control signal supplied by the control lines 15, 16, and 17. Usually, since a NAND gate has few transistors used for the interior than an AND gate or an OR gate, the example of drawing 6 can make area of a scanning-line drive circuit small while being able to make the number of transistors fewer than the example of drawing 5.

[0051] As mentioned above, although the example of this invention and the modification were explained, this invention is not limited to these examples and a modification. In short, in the liquid crystal display by which the drive circuit was integrated, it is not especially limited to the circuit of drawing 1, drawing 5 R> 5, and drawing 6 that the drive method of a scanning-line drive circuit should just come to be switched. Furthermore, it does not limit, but you may make it integrate on the same substrate as a liquid crystal pixel, and may make it constituted outside by especially the signal-line drive circuit.

[0052] Moreover, in the example of drawing 1, drawing 5, and drawing 6, although grounded, the end of the liquid crystal pixel 7 is not limited to this, and may be grounded through direct current voltage supply. Furthermore, in order to improve the electrical-potential-difference maintenance property of the liquid crystal pixel 7, you may make it connect auxiliary capacity to the liquid crystal pixel 7 and juxtaposition.

[0053] As described above, integrate a drive circuit on the same substrate as a display panel, and it enables it to choose a drive method, and it can apply, without changing a design into two or more equipments with which drive methods differ.

[0054]

[Effect of the Invention] As explained in full detail above, according to this invention, the liquid crystal display which can perform various kinds of drives, such as an interlace drive, a two-line coincidence drive, and a sequential drive, with one liquid crystal display can be offered.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS



[Brief Description of the Drawings]

[Drawing 1] The circuit diagram showing the outline configuration of the liquid crystal display in one example of this invention.

[Drawing 2] The timing chart of operation for explaining the actuation in the case of performing an interlace drive in the liquid crystal display of drawing 1.

[Drawing 3] The timing chart of operation for explaining the actuation in the case of performing a two-line coincidence drive in the liquid crystal display of drawing 1.

[Drawing 4] The timing chart of operation for explaining the actuation in the case of performing a sequential-scanning drive in the liquid crystal display of drawing 1.

[Drawing 5] The circuit diagram showing the outline configuration of the liquid crystal display in other examples of this invention.

[Drawing 6] The circuit diagram showing the outline configuration of the liquid crystal display in other examples of this invention.

[Description of Notations]

1 — A display panel, 2 — A scanning-line drive circuit, 3 — A signal-line drive circuit, 4a, — — The scanning line, 5a — A signal line, 6, — — Thin film transistor (switching device), 7 — — A liquid crystal pixel (pixel electrode), 8 — — A substrate, 10a, — — Shift register, 11 — A logical circuit group, 12, 13, 14 — A signal line, 15, 16, 17 — The 1st, 2nd, and 3rd control line, 31, 32, 33 — An AND gate (1st, 2nd, and 3rd logical circuit), a [ 34 ] and 34b, — — logical circuit group, 35a, — — An OR gate (the 4th logical circuit), 36a-37a, — — Buffer gate.

---

[Translation done.]



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-95071

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.<sup>5</sup>

G 0 2 F 1/133

G 0 9 G 3/36

識別記号

5 5 0

庁内整理番号

9226-2K

7319-5G

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 8 頁)

(21)出願番号 特願平4-240577

(22)出願日 平成4年(1992)9月9日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 増田 陽一

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

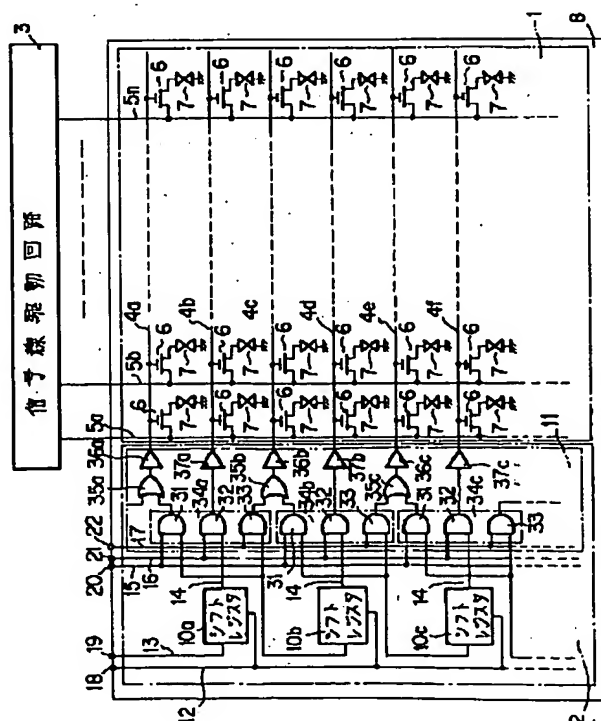
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 この発明は、一つの液晶表示装置でインターレース駆動、2ライン同時駆動、順次駆動等の各種の駆動が行える。

【構成】 この発明の液晶表示装置は、液晶画素7、…の一方の電極が形成される同一の基板8上に、表示パネル1の液晶画素7、…を除く回路と走査線駆動回路2とが集積化され、走査線駆動回路2の出力を、3本の第1、第2、第3の制御線15、16、17による制御信号により、インターレース駆動、2ライン同時駆動、順次走査駆動を切換え制御できるようにしたものである。



(2)

## 【特許請求の範囲】

【請求項1】 n本の走査線の夫々にスイッチ素子を介して2次元状に配置される画素電極と、上記各走査線に接続されるスイッチ素子のオン／オフを制御する走査線駆動回路とを同一基板上に備えた液晶表示装置において、

上記走査線駆動回路が、走査信号を順次転送するシフトレジスタと、一方の端子が上記シフトレジスタの出力に、接続され、他方の端子が制御線に接続される論理回路群とを備え、

上記制御線に供給される制御信号によって上記各走査線の選択順序が切換えられることを特徴とした液晶表示装置。

【請求項2】 第1番目の上記走査線から1本おきの上記走査線を順次選択した後に第2番目の上記走査線から1本おきの上記走査線を順次選択する第1の選択順序と、第1番目の上記走査線から1本おきの上記走査線を隣接する走査線と共に順次選択した後に第2番目の上記走査線から1本おきの上記走査線を隣接する走査線と共に順次選択する第2の選択順序と、第1番目の上記走査線から第n番目の上記走査線まで順次選択する第3の選択順序とが、制御線に供給される制御信号によって切換えられることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 上記走査線駆動回路が、走査信号を順次転送するm段のシフトレジスタと、各段のシフトレジスタの出力に端子が共通に接続される3個の論理回路を一組とした3m個の論理回路群と、各段のシフトレジスタに夫々接続される3個の論理回路内の各第1の論理回路群の他方の端子に共通に接続される第1の制御線と、各段のシフトレジスタに夫々接続される3個の論理回路内の各第2の論理回路群の他方の端子に共通に接続される第2の制御線と、各段のシフトレジスタに夫々接続される3個の論理回路内の各第3の論理回路群の他方の端子に共通に接続される第3の制御線と、隣合うシフトレジスタに接続される第1の論理回路と第3の論理回路との出力を入力とした第4の論理回路と、を備えたことを特徴とする請求項1に記載の液晶表示装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、テレビやディスプレイに使用される液晶表示装置に関する。

【0002】

【従来の技術】現行のテレビ放送やハイビジョン試験放送では、30分の1秒間に525本または1125本の走査信号の内、まず奇数番の走査信号すなわち奇数フィールドの信号が順次送られ、次に偶数番の走査信号すな

2

わち偶数フィールドの信号が順次送られる。

【0003】このため、液晶表示装置にテレビ放送等の画像を表示する最も簡単な駆動方法は、送られてくる信号をそのまま使用して、画面の上から奇数番の画素列を順次駆動し、次に偶数番の画素列を順次駆動するインターレース駆動である。しかし、このような駆動方法では画像を表示した場合、30分の1秒周期で画像が表示されるため、画面のちらつきが発生することがある。

【0004】そこで、デジタル信号処理技術などを用いて、60分の1秒周期で画像を表示する各種の方式が検討されている。この場合、液晶表示装置の駆動方法は画素列を順次駆動する方法が用いられることが多い。また、インターレース駆動と、順次駆動の中間の方式として、インターレース駆動で奇数番の画素列を駆動する時に、同時に次の偶数番の画素列を同じ信号で駆動し、偶数番の画素列を駆動する時に、同時に次の奇数番の画素列を同じ信号で駆動する方式が検討されている。

【0005】この2ライン同時駆動を用いると、順次駆動に比べて解像度は劣るが、見かけ上60分の1秒周期で画像が表示されるため、インターレース駆動に比べて画面のちらつきを抑えることができる。

【0006】ところで、小型液晶テレビ、投射型テレビ、投射型ディスプレイ、ビデオ・カメラ用ビュー・ファインダなどに使用される液晶表示装置は、より小型化・高画質化・低価格化が要求されている。そこで、液晶表示装置と同じ基板状に駆動回路を集積化する方法が考案されている。

【0007】駆動回路とは、各液晶画素に薄膜トランジスタのドレイン～ソース間を介して画像信号を供給する、いわゆる信号線駆動回路と、所定の列の該薄膜トランジスタのゲートを順次駆動する、いわゆる走査線駆動回路である。該走査線駆動回路により所定の列の薄膜トランジスタのゲートに電圧が印加され、ドレイン～ソース間が導通し、該信号線駆動回路から供給される画像信号が所定の列の各液晶画素に書き込まれる。この動作が、各列に対して順次行われることにより、全ての液晶画素に所定の信号が書き込まれ、画像が表示される。

【0008】よって、液晶表示装置と同じ基板上に駆動回路を集積化した場合、駆動回路の構成によって駆動方式が決まってしまう。すなわち、通常、走査線駆動回路は表示画面の上から下、または下から上に向かって各列の薄膜トランジスタのゲートを駆動するので、インターレース駆動などの駆動方式は走査線駆動回路によって決定される。

【0009】このため、駆動回路が集積化された液晶表示装置においては、駆動方式は、一つの方式に決定されてしまい、駆動方式の異なる他の装置では使用できなかった。液晶表示装置の製造には、高価なフォトリソ・マスクや、多くの工程作業が必要であり、一つ一つの装置に合わせて多種類の液晶表示装置を製造するのは、極めて不

(3)

経済であった。

【0010】

【発明が解決しようとする課題】この発明は、駆動回路が集積化された液晶表示装置においては、駆動方式が一つに固定されてしまうという問題を解決しようとするものである。

【0011】この発明によれば、制御線に供給される制御信号により走査線駆動回路の出力が制御できるため、一つの液晶表示装置でインターレース駆動、2ライン同時駆動、順次駆動等の各種の駆動が行える。特にこの発明によれば、2ライン同時駆動を容易に行うことができ、表示におけるフリッカ等を十分に低減させることができる。また、この発明によれば、走査線の本数に比べてシフトレジスタの段数を減らすことも可能となる。これにより、走査線数が増加しても、従来と同様に低速動作のシフトレジスタで駆動することができる。

【0012】

【課題を解決するための手段】この発明の液晶表示装置は、n本の走査線の夫々にスイッチ素子を介して2次元状に配置される画素電極と、上記各走査線に接続されるスイッチ素子のオン/オフを制御する走査線駆動回路とを同一基板上に備えたものにおいて、上記走査線駆動回路が走査信号を順次転送するシフトレジスタ、および一方の端子が上記シフトレジスタの出力に接続され、他方の端子が制御線に接続される論理回路群を備え、上記制御線に供給される制御信号によって上記各走査線の選択順序が切換えられる構成としたものである。

【0013】

【作用】この発明は、液晶画素と同一の基板上に集積化される走査線駆動回路の出力を、制御信号により制御できるようにしたものである。

【0014】

【実施例】以下、この発明の一実施例について図面を参照しながら説明する。図1はこの発明の液晶表示装置の回路構成図である。すなわち、液晶表示装置は、アクティブマトリクス形の表示パネル1と走査線駆動回路2と信号線駆動回路3により構成されている。

【0015】表示パネル1は、走査線4a、…と信号線5a、…が交差するように形成され、その交差部にそれぞれ薄膜トランジスタ（スイッチ素子）6、…を介して液晶画素（画素電極）7、…が設けられている。

【0016】すなわち、液晶画素7、…の一端はそれぞれ接地され、液晶画素7、…の他端はそれぞれ薄膜トランジスタ6、…のドレインソース間を介して信号線5a、…に接続されている。薄膜トランジスタ6、…のゲートは走査線4a、…に接続されている。上記液晶画素7、…が、縦横所定の数並べられて2次元状の表示画面が構成される。

【0017】なお、縦方向の各液晶画素7、…において信号線5a、…の1本が共用され、横方向の各液晶画素

7、…において走査線4a、…の1本が共用される。これにより、信号線5a、…は横方向の画素数と同じ数配置され、走査線4a、…は縦方向の画素数と同じ数配置される。信号線5a、…は信号線駆動回路3によって所定の電圧が印加され、走査線4a、…は走査線駆動回路2より駆動される。上記表示パネル1の液晶画素7、…を除く回路と走査線駆動回路2とは、液晶画素7、…の一方の電極が形成される同一基板8上に集積化されている。

10 【0018】上記走査線駆動回路2は、複数段（m段）のシフトレジスタ10a、10b、…、論理回路群11、信号線12、13、14、…、および3本の第1、第2、第3の制御線15、16、17によって構成されている。上記シフトレジスタ10a、…は、走査信号を順次転送するm段のシフトレジスタである。

【0019】シフトレジスタ10a、…は、入力されるシフトパルスをクロックパルスの周期に応じて遅延させて出力するものである。したがって、シフトパルスは上のシフトレジスタ10a、…から、下のシフトレジスタ10b、…へ、順次転送される。

20 【0020】上記信号線12は、クロックパルス用の信号線であり、クロックパルス入力端子18と上記シフトレジスタ10a、…のクロックパルス入力端とを接続している。上記信号線13は、スタートパルスとしてのシフトパルス用の信号線であり、スタートパルス入力端子19と上記シフトレジスタ10aの入力端とを接続している。上記信号線14、…は、上記シフトレジスタ10a、…の出力端と下段の上記シフトレジスタ10b、…の入力端とを接続し、上記シフトレジスタ10a、…の出力端と論理回路群11とを接続している。上記第1、第2、第3の制御線15、16、17は、それぞれ制御信号用の信号線であり、制御信号入力端子20、21、22に接続されている。

30 【0021】上記論理回路群11は、各段のシフトレジスタ10a、…の出力に一方の入力端が共通に接続される3個のアンドゲート（第1、第2、第3の論理回路）31、32、33を一組とした3m個の論理回路群34a、34b、…と、隣合うシフトレジスタ10a、…に接続される第1のアンドゲート31と第3のアンドゲート33との出力を入力としたオアゲート（第4の論理回路）35a、…、オアゲート35a、…の出力を低インピーダンスで走査線4aに供給するバッファゲート36a、…、およびアンドゲート32、…の出力を低インピーダンスで走査線4bに供給するバッファゲート37a、…から構成されている。

50 【0022】各段のシフトレジスタ10a、…に夫々接続される3個のアンドゲート31、32、33内の各第1のアンドゲート群31、…の他方の入力端には、上記第1の制御線15が共通に接続されている。各段のシフトレジスタ10a、…に夫々接続される3個のアンドゲ

(4)

5

ート31、32、33内の各第2のアンドゲート群32、…の他方の入力端には、上記第2の制御線16が共通に接続されている。各段のシフトレジスタ10a、…に夫々接続される3個のアンドゲート31、32、33内の各第3のアンドゲート群33、…の他方の入力端には、上記第3の制御線17が共通に接続されている。

【0023】論理回路群34aに対応するバッファゲート36の出力は、上記表示パネル1内の走査線4aに出力され、論理回路群34aに対応するバッファゲート37の出力は、上記表示パネル1内の走査線4bに出力され、論理回路群34bに対応するバッファゲート36の出力は、上記表示パネル1内の走査線4cに出力され、論理回路群34bに対応するバッファゲート37の出力は、上記表示パネル1内の走査線4dに出力され、論理回路群34cに対応するバッファゲート36の出力は、上記表示パネル1内の走査線4eに出力され、論理回路群34cに対応するバッファゲート37の出力は、上記表示パネル1内の走査線4fに出力されるようになって

いる。

【0024】上記論理回路群11は、上記第1、第2、第3の制御線15、16、17により供給される制御信号によって各走査線4a、…の選択順序が切換えられるものである。

【0025】すなわち、第1番目の走査線4aから1本おきの走査線4c、4e…を順次選択した後に第2番目の走査線4bから1本おきの走査線4d、4f、…を順次選択する第1の選択順序としてのインターレース駆動と、第1番目の走査線4aから1本おきの走査線4a、4c、…を隣接する走査線4b、4d、…と共に順次選択した後に第2番目の走査線4bから1本おきの走査線4b、4d、…を隣接する走査線4c、4e、…と共に順次選択する第2の選択順序としての2ライン同時駆動と、第1番目の走査線4aから順に1つずつの走査線を順次選択する第3の選択順序としての順次走査駆動とが、供給される制御信号によって切換えられる。次に、上記のような構成において、図2の(a)～(i)に示す動作タイミング図を用いて、インターレース駆動を行う場合の動作について説明する。

【0026】図2の(a)は信号線12により供給されるクロックパルス、(b)はシフトレジスタ10a、…に供給されるシフトパルス、(c)、(d)、(e)は制御線15、16、17により供給される制御信号、(f)、(g)、(h)、(i)は走査線4a、4b、4c、4dの4本分の波形を示す。

【0027】奇数フィールド時には制御線15に“1”、制御線16に“0”の信号が供給され、偶数フィールド時には制御線15に“0”、制御線16に“1”の信号が供給される。制御線17には、常に“0”の信号が供給される。

【0028】これにより、奇数フィールド時には、ま

6

ず、シフトレジスタ10aから出力されたシフトパルスは論理回路群34a内のアンドゲート31、オアゲート35a、バッファゲート36aを介して走査線4aに伝達される。

【0029】次に、シフトレジスタ10bから出力されたシフトパルスは論理回路群34b内のアンドゲート31、オアゲート35b、バッファゲート36bを介して走査線4cに伝達される。

【0030】次に、シフトレジスタ10cから出力されたシフトパルスは論理回路群34c内のアンドゲート31、オアゲート35c、バッファゲート36cを介して走査線4eに伝達される。以後、シフトレジスタ10d、…からのシフトパルスは、順次、奇数番目の走査線4g、4i、…に伝達される。この結果、奇数番目の走査線4a、4c、4e、…が上から下へ順次駆動される。

【0031】偶数フィールド時には、シフトレジスタ10aから出力されたシフトパルスは論理回路群34a内のアンドゲート32、バッファゲート37aを介して走査線4bに伝達される。

【0032】次に、シフトレジスタ10bから出力されたシフトパルスは論理回路群34b内のアンドゲート32、バッファゲート37bを介して走査線4dに伝達される。

【0033】次に、シフトレジスタ10cから出力されたシフトパルスは論理回路群34c内のアンドゲート32、バッファゲート37cを介して走査線4fに伝達される。以後、シフトレジスタ10d、…からのシフトパルスは、順次、偶数番目の走査線4h、4j、…に伝達される。この結果、偶数番目の走査線4b、4d、4f、…が上から下へ順次駆動される。

【0034】走査線駆動回路2により、薄膜トランジスタ6、…のドレイン～ソース間が導通するような電圧がゲートに印加されると、その走査線4a、…に接続された全ての薄膜トランジスタ6、…のドレイン～ソース間が導通し、各信号線5a、…から所定の電圧が液晶画素7、…に書き込まれる。奇数番目の走査線4a、4c、4e、…と偶数番目の走査線4b、4d、4f、…が順次インターレース駆動されることにより、奇数フィールドと偶数フィールドとの2フィールドで全ての液晶画素7、…に所定の電圧が印加され、画像が表示される。次に、図1の構成において、図3の(a)～(i)に示す動作タイミング図を用いて、2ライン同時駆動を行う場合の動作について説明する。

【0035】図3の(a)は信号線12により供給されるクロックパルス、(b)はシフトレジスタ10a、…に供給されるシフトパルス、(c)、(d)、(e)は制御線15、16、17に供給される制御信号、(f)、(g)、(h)、(i)は走査線4a、4b、4c、4dの4本分の波形を示す。

(5)

7

【0036】奇数フィールド時には制御線15に“1”、制御線17に“0”の信号が供給され、偶数フィールド時には制御線15に“0”、制御線12に“1”の信号が供給される。制御線16には、常に“1”の信号が供給される。

【0037】これにより、奇数フィールド時には、まず、シフトレジスタ10aから出力されたシフトパルスは論理回路群34a内のアンドゲート31、オアゲート35a、バッファゲート36aを介して走査線4aに伝達されるとともに、論理回路群34a内のアンドゲート32、バッファゲート37aを介して走査線4bにも伝達される。

【0038】次に、シフトレジスタ10bから出力されたシフトパルスは論理回路群34b内のアンドゲート31、オアゲート35b、バッファゲート36bを介して走査線4cに伝達されるとともに、論理回路群34b内のアンドゲート32、バッファゲート37bを介して走査線4dにも伝達される。以後、シフトレジスタ10c、…からのシフトパルスは、順次、奇数番目と偶数番目の2つの走査線4c、4d、走査線4e、4f、…ごとに伝達される。この結果、奇数番目の走査線4a（4c、…）と、その次の偶数番目の走査線4b（4d、…）とが、同時に上から下へ順次駆動される。

【0039】偶数フィールド時には、まず、シフトレジスタ10aから出力されたシフトパルスは論理回路群34a内のアンドゲート32、バッファゲート37aを介して走査線4bに伝達されるとともに、論理回路群34a内のアンドゲート33、オアゲート35b、バッファゲート36bを介して走査線4cにも伝達される。

【0040】次に、シフトレジスタ10bから出力されたシフトパルスは論理回路群34b内のアンドゲート32、バッファゲート37bを介して走査線4dに伝達されるとともに、論理回路群34b内のアンドゲート33、オアゲート35c、バッファゲート36cを介して走査線4eにも伝達される。

【0041】次に、シフトレジスタ10cから出力されたシフトパルスは論理回路群34c内のアンドゲート32、バッファゲート37cを介して走査線4fに伝達されるとともに、論理回路群34c内のアンドゲート33、オアゲート35d、バッファゲート36dを介して走査線4gにも伝達される。この結果、偶数番目の走査線4b（4d、…）と、その次の奇数番目の走査線4c（4e、…）とが、同時に上から下へ順次駆動される。

【0042】奇数番目と偶数番目の走査線が同時に2ラインづつ駆動されることにより、各フィールドごとに全ての液晶画素7、…に所定の電圧が印加され、画像が表示される。次に、図1の構成において、図4の（a）～（i）に示す動作タイミング図を用いて、順次走査駆動を行う場合の動作について説明する。

【0043】図4の（a）は信号線12により供給され

8

るクロックパルス、（b）はシフトレジスタ10a、…に供給されるシフトパルス、（c）、（d）（e）は制御線15、16、17に供給される制御信号、（f）、（g）、（h）、（i）は走査線4a、4b、4c、4dの4本分の波形を示す。

【0044】制御線15にはシフトパルスに同期した、シフトパルスのパルス幅と同じ周期のクロックパルスが供給され、制御線16には制御線15に供給されるクロックパルスと逆相のクロックパルスが供給される。制御線17には、常に、“0”の信号が供給される。

【0045】これにより、シフトレジスタ10aから出力されたシフトパルスは、制御線15に供給されるクロックパルスが“1”の時には、論理回路群34a内のアンドゲート32、バッファゲート37aを介して走査線4aに伝達され、制御線15に供給されるクロックパルスが“0”の時には、すなわち制御線16に供給されるクロックパルスが“1”の時には、論理回路群34a内のアンドゲート32、バッファゲート37aを介して走査線4bに伝達される。

【0046】次に、シフトレジスタ10bから出力されたシフトパルスは、制御線15に供給されるクロックパルスが“1”の時には、論理回路群34b内のアンドゲート31、オアゲート35b、バッファゲート36bを介して走査線4cに伝達され、制御線15に供給されるクロックパルスが“0”の時には、すなわち制御線16に供給されるクロックパルスが“1”の時には、論理回路群34b内のアンドゲート32、バッファゲート37bを介して走査線4dに伝達される。以後、シフトレジスタ10c、…からのシフトパルスは、順次、走査線4e、4f、…に伝達される。この結果、走査線4a、4b、4c、…は上から下へ順次駆動される。走査線4a、4b、4c、…が順次駆動されることにより、全ての液晶画素7、…に所定の電圧が印加され、画像が表示される。上記したように、制御線15、16、17に供給する制御信号で、走査線4、…の駆動方式を切替えるようにしたものである。これにより、一つの液晶表示装置でインターレース駆動、2ライン同時駆動、順次駆動等の各種の駆動が行える。この発明は図1の実施例に限定されるものではない。図5はこの発明の他の実施例を示す回路構成図である。

【0047】図5の実施例では、図1の実施例の論理回路群34a、…内のアンドゲート32とバッファゲート37a、…との間に、それぞれオアゲート40a、40b、40c、…を追加し、アンドゲート32に接続されない方の入力端を接地したものである。

【0048】図1の実施例の場合、オアゲート35a（35b、…）で遅延が発生すると、奇数番目と偶数番目との走査線に印加される信号のタイミングがずれてしまうが、図5の実施例の場合、オアゲート35a（35b、…）とオアゲート40a（40b、…）の遅延が同

(6)

9

じであれば、信号のタイミングはずれない。その他の動作は、図1の実施例と同じである。したがって、図5の実施例によれば、制御線15、16、17に供給する制御信号で走査線4、…の駆動方式を切換えることができる。

【0049】図6はこの発明の他の実施例を示す回路構成図である。図6の実施例は、図5の実施例の論理回路群34a、…内のアンドゲート31、32、33と、オアゲート35a、…、40a、…とを、ナンドゲート41、…、42、…、43、…、44、…、45、…に置き換え、ナンドゲート45のナンドゲート42に接続されていない入力に“1”を入力したものである。このような構成としても論理的には同じであるため、図6の回路は図5の回路と同様の動作をする。

【0050】したがって、図6の実施例によっても、制御線15、16、17により供給される制御信号で走査線4、…の駆動方式を切換えることもできる。通常、ナンドゲートは、アンドゲートやオアゲートよりも、内部に使用されるトランジスタの数が少ないため、図6の実施例は図5の実施例よりもトランジスタの数を少なくできるとともに、走査線駆動回路の面積を小さくすることができる。

【0051】以上、この発明の実施例、変形例について説明したが、この発明はこれらの実施例、変形例に限定されるものではない。要するに、駆動回路が集積化された液晶表示装置において、走査線駆動回路の駆動方式が切換えられるようになっていればよく、特に図1、図5、図6の回路に限定されるものではない。さらに、信号線駆動回路については、特に限定せず、液晶画素と同じ基板上に集積化されるようにしても良いし、外部に構成されるようにしても良い。

【0052】また、図1、図5、図6の実施例においては、液晶画素7の一端は接地されているものとしたが、これに限定されるものではなく、例えば直流電圧源を介して接地しても良い。さらに、液晶画素7の電圧保持特性を改善するために、液晶画素7と並列に補助容量を接

10

続するようにしても良い。

【0053】上記したように、表示パネルと同じ基板上に駆動回路を集積化し、駆動方式を選択できるようにし、駆動方式の異なる複数の装置に、設計を変更することなく適用することができる。

【0054】

【発明の効果】以上詳述したように、この発明によれば、一つの液晶表示装置でインターレース駆動、2ライン同時駆動、順次駆動等の各種の駆動が行える液晶表示装置を提供できる。

【図面の簡単な説明】

【図1】この発明の一実施例における液晶表示装置の概略構成を示す回路図。

【図2】図1の液晶表示装置においてインターレース駆動を行う場合の動作を説明するための動作タイミング図。

【図3】図1の液晶表示装置において2ライン同時駆動を行う場合の動作を説明するための動作タイミング図。

【図4】図1の液晶表示装置において順次走査駆動を行う場合の動作を説明するための動作タイミング図。

【図5】この発明の他の実施例における液晶表示装置の概略構成を示す回路図。

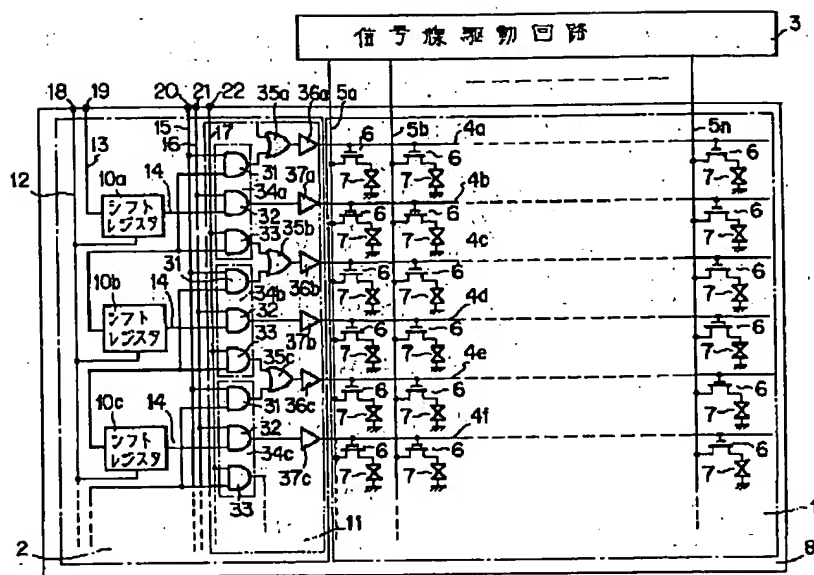
【図6】この発明の他の実施例における液晶表示装置の概略構成を示す回路図。

【符号の説明】

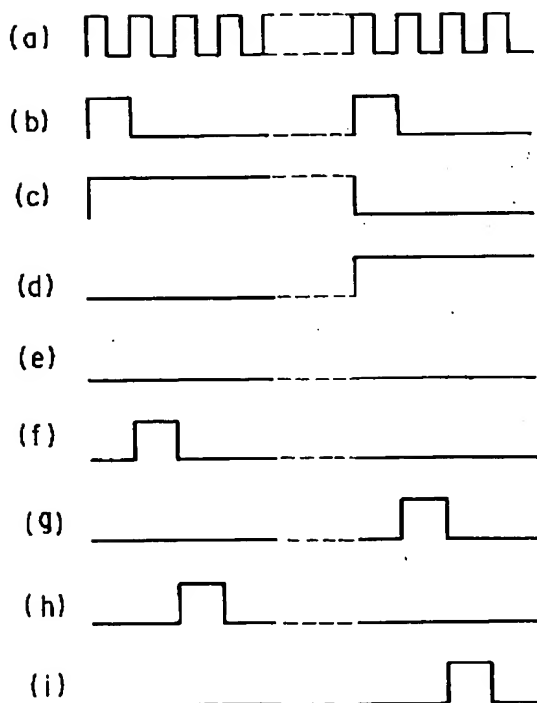
1…表示パネル、2…走査線駆動回路、3…信号線駆動回路、4a、…走査線、5a…信号線、6、…薄膜トランジスタ（スイッチ素子）、7、…液晶画素（画素電極）、8…基板、10a、…シフトレジスタ、11…論理回路群、12、13、14…信号線、15、16、17…第1、第2、第3の制御線、31、32、33…アンドゲート（第1、第2、第3の論理回路）、34a、34b、…論理回路群、35a、…オアゲート（第4の論理回路）、36a、…、37a、…バッファゲート。

(7)

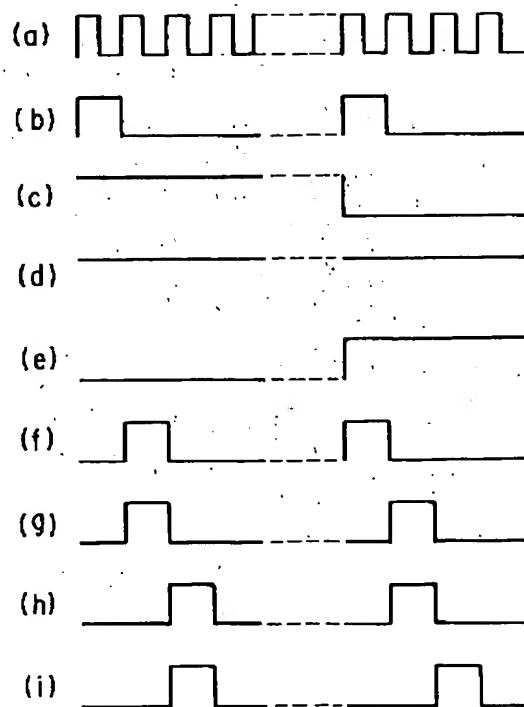
【図1】



【図2】



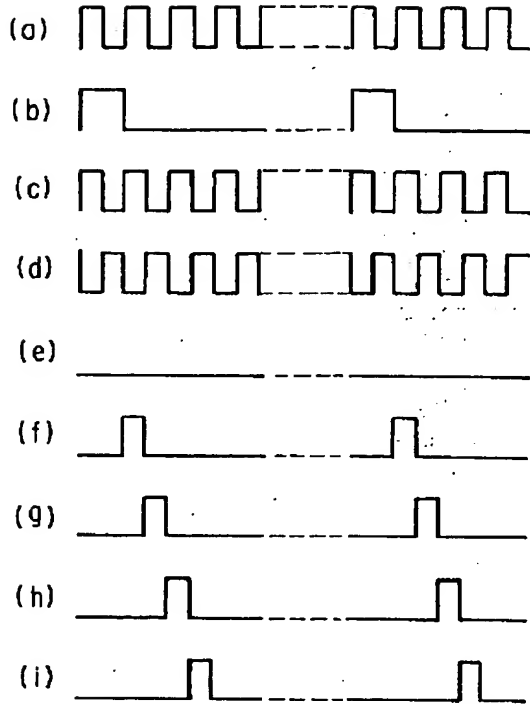
【図3】



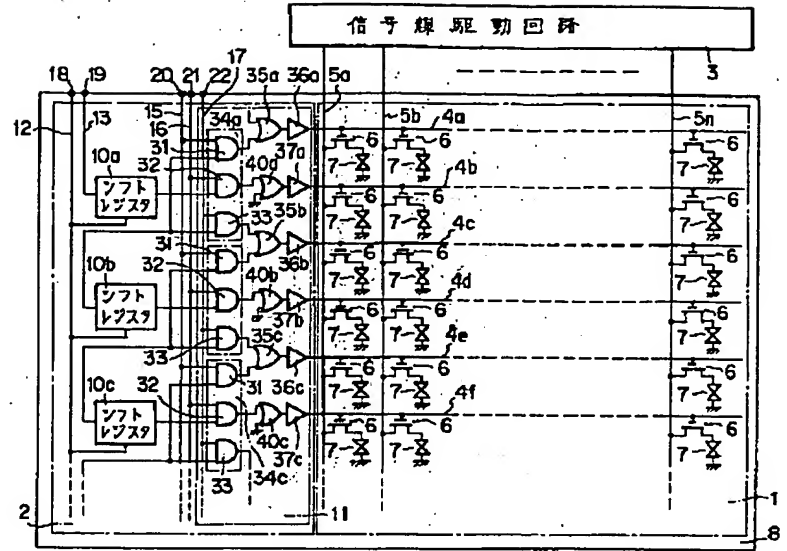


(8)

【図4】



【図5】



【図6】

